

⑩ 日本国特許庁(JP)

⑪ 実用新案出願公開

⑫ 公開実用新案公報(U) 平1-123342

⑬ Int.Cl.⁴

識別記号

庁内整理番号

⑭ 公開 平成1年(1989)8月22日

H 01 L 21/60
23/50

L-6918-5F
S-7735-5F

審査請求 未請求 請求項の数 1 (全 頁)

⑮ 考案の名称 半導体装置

⑯ 実 願 昭63-19186

⑰ 出 願 昭63(1988)2月15日

⑱ 考 案 者 寺 島 克 司 東京都港区芝5丁目33番1号 日本電気株式会社内

⑲ 出 願 人 日本電気株式会社 東京都港区芝5丁目33番1号

⑳ 代 理 人 弁理士 内 原 晋

明 細 書

1. 考案の名称

半導体装置

2. 実用新案登録請求の範囲

内部リードパターンが2段以上で構成され、かつ、各段の任意のコーナー部にワイヤボンディング用の目合わせパターンを有する半導体素子搭載用セラミックパッケージからなる半導体装置において、任意の各コーナー毎の各段のワイヤボンディング用目合わせパターンの一部が同一直線上に並ぶパターンを有していることを特徴とする半導体装置。

3. 考案の詳細な説明

〔産業上の利用分野〕

本考案は、半導体装置に関し、特にセラミックパッケージにおいて、ワイヤボンディング用内部リードが複数の段から構成され、かつそこにワイ

ワイヤボンディング用目合わせパターンを有する半導体装置に関する。

〔従来の技術〕

従来、この種の半導体装置は、第3図乃至第4図に示すようにワイヤボンディング時にパッケージの位置及びボンディングしようとする内部リードパターンの位置を認識する目的で、種々の特徴的なパターンを内部リードステッチ部と同一平面上のコーナー部に形成していた。また、近年ゲートアレイ品種等の様に多くの信号端子を有するものが多くなり、半導体装置の内部リードの数も200以上と多くなりリード幅、リードピッチも縮小化が進んでいる。そして、セラミックパッケージから構成するものでは、同一平面上に多くの内部リードを収納しようとする内部リード幅、ピッチが小さくなり、導通抵抗の増大を伴うばかりか組立時におけるワイヤボンディングの精度が要求される点から2段以上に内部リードを分割する方法が採られて来た。

〔考案が解決しようとする問題点〕

上述した従来の半導体装置のセラミックパッケージは、数点のセラミック生シートを貼り合わせて造られ、それぞれの生シートにタングステン(W)を主としたメタライズをパターン印刷しその後貼り合わせた後に焼成を行う。よって、数段に分割された内部リードパターンは、この工程中の精度に依存するラミネートされたシートの積層ずれ及び印刷ずれに伴い相対ずれを起こしていた。

故に、この様に分割された各段の内部リードパターンがずれた場合、リード幅、ピッチが小さいものはボンディングされたワイヤも同様にずれが生じ、ワイヤ同士が近接したりクロスしてしまうことがある。なぜならば、各段の積層に印刷された内部リードパターンは、ボンディングされたワイヤが規則的な間隔になる様、配列されているからである。

〔問題点を解決するための手段〕

本考案の半導体装置は、内部リードパターンが2段以上で構成され、かつ各段の任意のコーナー

部にワイヤボンディング用の目合せパターンを有する半導体素子搭載用セラミックパッケージからなる半導体装置において、任意の各コーナー毎の各段のワイヤボンディング用目合せパターンの一部が同一直線上に並ぶパターンを有していることを特徴とする。

〔実施例〕

次に、本考案について図面を参照して説明する。第1図は本考案の一実施例の半導体素子搭載部の上面図である。ボンディング目合せパターン3は各ボンディングステッチ（段）5及6に設けられ、ラミネート目合せパターン4はその一部分から構成されている。下段部の十字形のボンディング目合せパターンの直線部4-2は上段の同じく十字形ボンディング目合せパターンの一本の直線を延長し屈折させた直線部4-1部と同一直線上に並んでいる。

第2図は、本考案の他の実施例の半導体素子搭載部の上面図である。X字形に設けられたボンディング目合せパターン3の一部、上段4-1と

下段4-2の直線部が同一直線上になる様に位置してある。この実施例では、ボンディング目合せパターン3がそのままラミネート目合せパターン部と化している為、前記一実施例の如く、ボンディング目合せパターンの一直線を延長する必要がなくスペース的に小さくて済む利点がある。

本考案によれば、ワイヤボンディング工程における各段のリードパターンの相対ずれが引き起こすワイヤの異常近接及びクロス等を妨ぐことができる。近年、リード幅、ピッチは縮小化の度合が著しく、リード幅は、 $150\mu\text{m}$ 以下、リードピッチは、 $250\mu\text{m}$ 以下の要求がある。しかしながら、ラミネートの積層精度は今まで、セラミック生シートの外形で決めていた為 $\pm 200\mu\text{m}$ かつそれぞれの積層のパターンずれに及んでは $\pm 400\mu\text{m}$ と大きく、とてもリードパターンを複数段に分割することは難しい。本考案に従えば、第3図に示すようにリードパターンの層層の相対ずれは $\pm 200\mu\text{m}$ まで抑えることができる。よって、多段化されたリードパターンによりリー

ドピッチの縮小化をすることが可能で、ボンディング歩留り、品質の向上を上るだけではなく、パッケージの検査、歩留も向上し、低価格な半導体製造として有効となり得る。

〔考案の効果〕

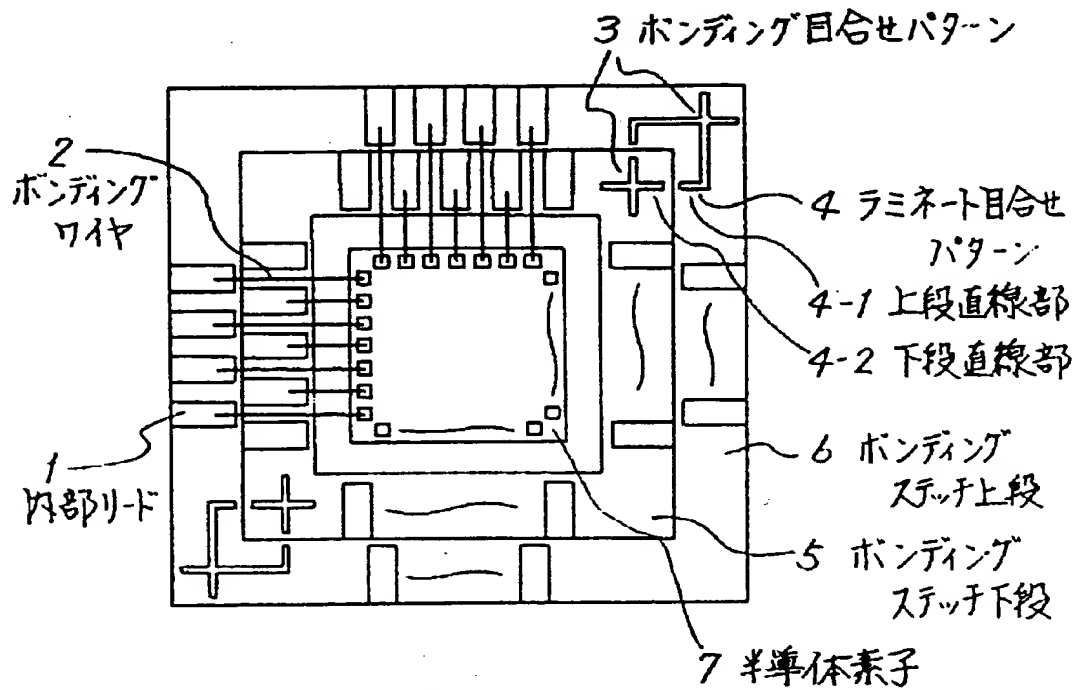
以上説明したように本考案は、数段に分割された内部リードパターンと同一面上に設けたボンディング目合せパターンの一部に各段のセラミック生シートへの内部リード等のWメタライズパターン印刷及びラミネート時にこれら各段に分割された内部リードパターンずれを防ぎ、ラミネート時に各段の内部リードパターンが正しい組み合わせと成る様にセラミックパッケージで製造段階におけるセラミック生シートのラミネート目合せパターンを共有するように設け、かつ、ラミネート目合せパターンが各段と同一直線上に並ぶように設けることにより、ラミネートセラミックパッケージの製造工程における各段の相対的リードパターンずれを小さくすることができる。

4. 図面の簡単な説明

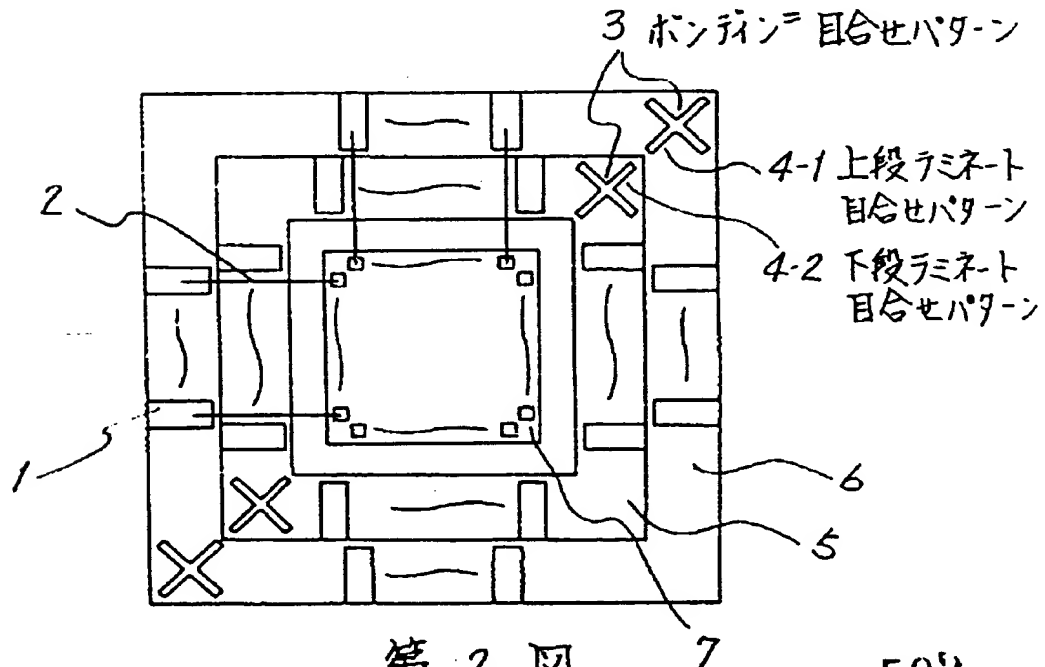
第1図は、本考案の一実施例の半導体装置の素子搭載部の上面図、第2図は、本考案の他の実施例の半導体装置の素子搭載部の上面図、第3図は、本考案の半導体装置において積層ずれを起こした場合の素子搭載部上面図、第4図は従来の半導体装置の素子搭載部の上面図、第5図は第4図の縦断面図である。

1 …… 内部リード、2 …… ボンディングワイヤ、
3 …… ボンディング目合せパターン、4 …… ラミネート目合せパターン、4-1 …… 上段直線部、
4-2 …… 下段直線部、5 …… ボンディングステッチ（下段）、6 …… ボンディングステッチ（上段）、
7 …… 半導体素子、8 …… セラミックパッケージ、9 …… 外部端子。

代理人 弁理士 内 原 晋



第 1 図

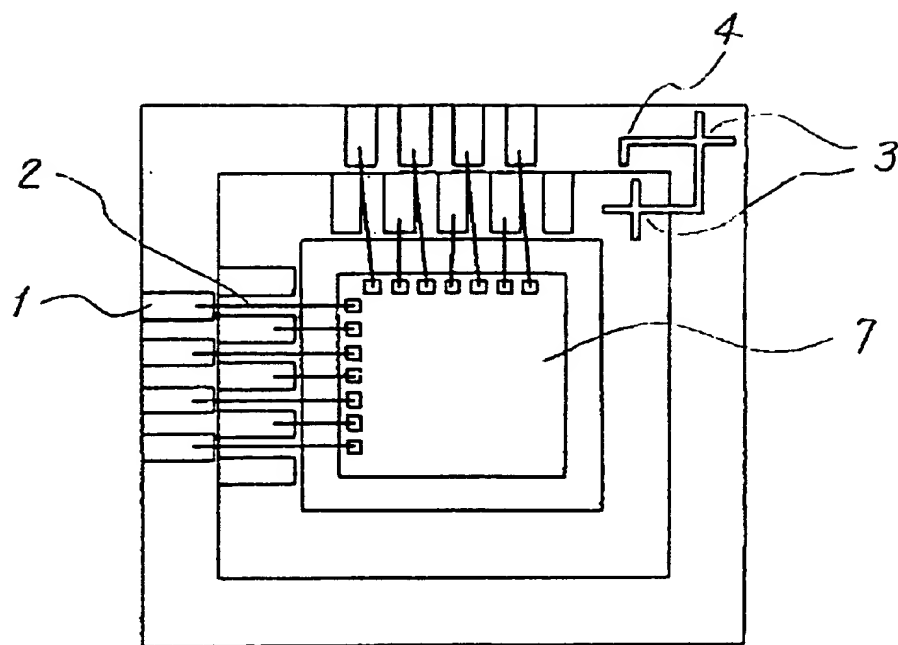


第 2 図

502

代理人 弁理士 内 原 晋

実用新案 1-123342

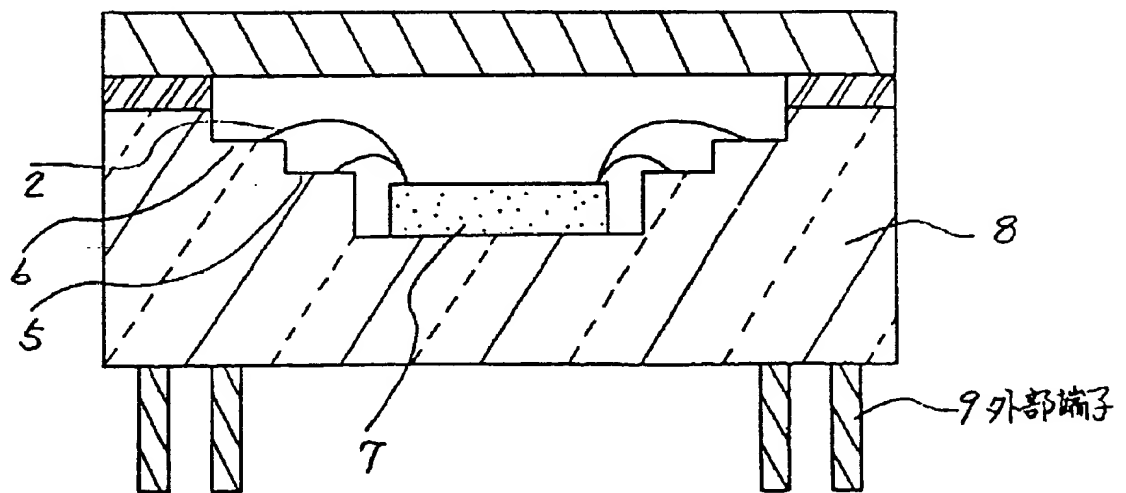
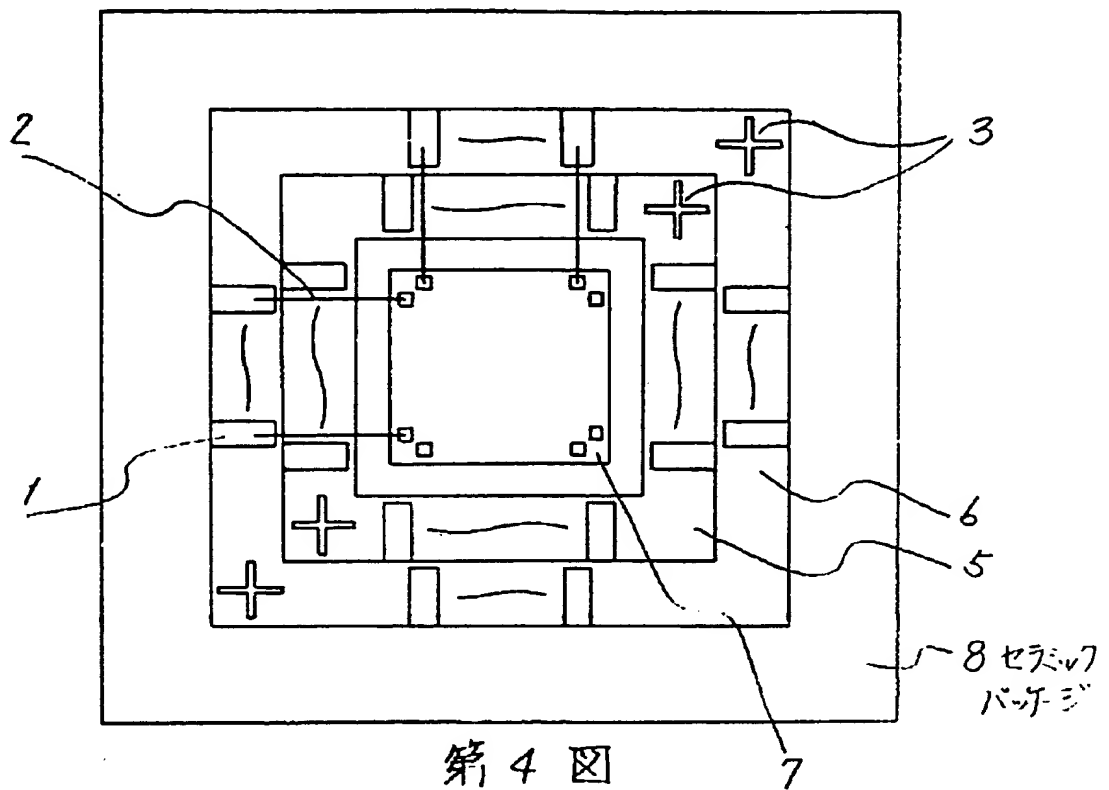


第 3 图

503

代理人 井理士 内 原 晋

503-123342



504

実開1-123342

代理人 弁理士 内 原 晋